

7505242

(57) Abstract

A system and method to eliminate the critical path in a processor-based system by sending a signal to transition the memory and I/O control unit to the read/write state before instruction decode completes up to the end. The decode stage of the operation code of the instructions, if it is made clear that the step of reading and writing in which the memory or I/O device must be accessed should be executed, the processor immediately sends a read/write request to the memory control unit and the I/O control unit before decoding the remaining part of the instruction. Once the remaining part of the instruction has been decoded, if it has been decided that the storage place that is accessed is in either the memory or the I/O device, cancellation processing occurs. In this cancellation processing, if the storage place that is accessed is within the memory, the I/O unit transitions from the read/write state to the idle state. However, if the access destination is the I/O device, the memory control unit transitions from the read/write state to the idle state.

第6部門第3区分

(43)公表日 平成7年(1995)6月8日

(51)Int.Cl.* 課別記号 庁内整理番号 F I
 G 0 6 F 9/38 3 5 0 Z 9193-5B
 9/34 3 5 0 A 9189-5B
 12/00 5 6 0 C 9366-5B

審査請求 未請求 予備審査請求 有 (全 10 頁)

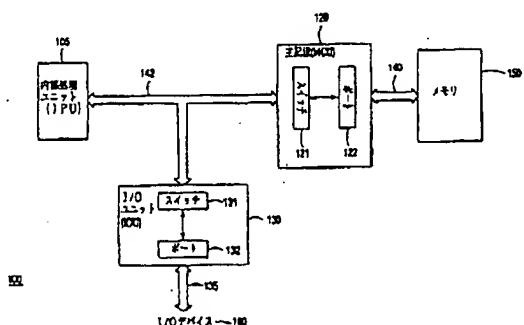
(21)出願番号 特願平5-515523
 (26) (22)出願日 平成5年(1993)3月2日
 (85)翻訳文提出日 平成6年(1994)9月2日
 (86)国際出願番号 PCT/JP93/00259
 (87)国際公開番号 WO93/18451
 (87)国際公開日 平成5年(1993)9月16日
 (31)優先権主張番号 846.231
 (32)優先日 1992年3月6日
 (33)優先権主張国 米国(US)
 (81)指定国 JP

(71)出願人 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 ミヤヤマヨシユキ
 アメリカ合衆国 95050 カリフォルニア
 州 サンタクララ、ランチョマクコ
 ミックブルバード 2171
 (72)発明者 タン・チェン-ロン
 アメリカ合衆国 95131 カリフォルニア
 州 サンホゼ、リビシウェイ 1915
 (74)代理人 弁理士 鈴木 喜三郎(外1名)

(54)【発明の名称】メモリ制御ユニット並びに入出力制御ユニットの動作におけるクリティカル・バスの削除

(57)【要約】

命令のデコードが最後まで完了してしまう前に、メモリやI/O制御ユニットを読み出し／書き込み状態に遷移するために信号を送ることによって、プロセッサ・ベースのシステムにおいてクリティカル・バスを削除するためのシステム並びに方法。命令の演算コードのデコード段階が、メモリまたはI/Oデバイスがアクセスされなければならない読み出し書き込みのステップが実行されるべきであることを明らかにすれば、プロセッサは、命令の残りの部分をデコードする前に、直ちに読み出し書き込み要求をメモリ制御ユニット及びI/O制御ユニットに送る。一旦命令の残りの部分がデコードされ、アクセスする記憶場所がメモリまたはI/Oデバイスのどちらかにあることが決定されれば、取消し処理が起きる。この取消し処理において、アクセスする記憶場所がメモリ内ならば、I/Oユニットは読み出し書き込み状態からアイドル状態に遷移する。しかしながら、アクセスの宛先がI/Oデバイスなら、メモリ制御ユニットは読み出し書き込み状態からアイドル状態に遷移する。



請求の範囲

1. 読み出し／書き込み動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削減する方法で、前記システムがメモリ制御ユニット(MCU)、入出力制御ユニット(IOU)、並びに命令集合をそれぞれ1個ずつ備え、前記方法が、

(a) 命令集合から命令の第1の部分をデコードするステップと、

(b) 前記の命令が読み出しと書き込みのうちの少なくとも1つを命じているか否かを決定するステップと、

(c) ステップ(b)で読み出しや書き込みを命じていることが確定されれば、読み出し／書き込み状態に入るために要求をMCUとIOUの両方に送るステップと、

(d) 読み出し／書き込み動作によってアクセスされるべきアドレスを決定するために命令の残りの部分をデコードするステップと、

(e) アクセス対象のアドレスをデコードするステップで、それは、そのアクセスの対象がメモリかI/Oデバイスかを確定するためにMCUかIOUの少なくともどちらか一方によって実行されるデコーディングであること、さらに、

(f) アクセス対象のアドレスをデコードするステップで、それが前記の少なくとも2個以上の資源のうちのどれがアクセスされるべきかを決定するために少なくとも1個以上の資源によって実行されるデコーディングであること、さらに、

(g) 前記のデコードするステップ(e)による結果に基づいて要求の残りの部分を取り消すステップと、

から成り立つことを特徴とする方法。

5. 前記ステップ(c)及び(d)が並列で実行されることを特徴とする請求項4記載の方法。

6. 前記のステップ(c)における要求が同時に送られることを特徴とする請求項4記載の方法。

7. 資源へのアクセス動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削減するためのシステムで、前記システムが多数の資源並びに1個の命令集合を備え、さらに

(a) 命令集合から命令の第1の部分をデコードするための手段と、

(b) 前記の命令がアクセス動作を命じているか否かを決定するための手段と、

(c) ステップ(b)で資源へのアクセスが求められていることが確定すれば、アクセス状態に入るために少なく

(f) 前記のデコードするステップ(e)による結果に基づいてMCUやIOUに対する前記の要求の一つを取り消すステップと、

から成り立つことを特徴とする方法。

2. 前記ステップ(c)及び(d)が並列で実行されることを特徴とする請求項1記載の方法。

3. 前記ステップ(c)における要求が同時に送られることを特徴とする請求項1記載の方法。

4. 資源へのアクセス動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削減する方法で、前記システムが多数の資源並びに1個の命令集合を備え、前記方法が、

(a) 命令集合から命令の第1の部分をデコードするステップと、

(b) 前記命令がアクセス動作を命じているか否かを決定するステップと、

(c) ステップ(b)で資源へのアクセスが求められていることが確定すれば、アクセス状態に入るために少なくとも2個以上の資源に要求を送るステップと、

(d) アクセスされるべきアドレスを決定するために命令の残りの部分をデコードするステップと、

くとも2個の資源に要求を送る手段と、

(d) アクセス対象のアドレスを決定するために命令の残りの部分をデコードする手段と、

(e) アクセス対象のアドレスをデコードする手段で、それはデコーディングが前記の少なくとも2個の資源のうちのどれがアクセスされるべきかを決定するために少なくとも1個以上の資源によって実行されるデコーディングであること、さらに、

(f) 前記のデコードするステップ(e)による結果に基づいて要求の残りの部分を取り消すための手段と、

から成り立つことを特徴とするシステム。

8. 決定の前記手段が、前記命令が読み出し及び書き込み動作の少なくともどちらか1つを命じているかどうかを決定する手段であり、

送るための前記手段が、ステップ(b)において読み出しや書き込みが求められていることが確定すれば、読み出し／書き込み状態に入るためにMCUとIOUの両方に要求を送る手段であり、

命令の残りの部分をデコードするための前記手段が、読み出しや書き込み動作によってアクセスされるべきアドレスを決定するために、命令の残りの部分をデコードするための手段であり、

明細書

説明の各部

メモリ制御ユニット並びに入出力制御ユニットの

動作におけるクリティカル・バスの削除

(Elimination of the Critical Path in Memory Control Unit
and Input/Output Control Unit Operations)

説明の背景

1. 産業上の利用分野

本発明は一般的にはマイクロプロセッサ・ベースのシステムの分野に関し、より具体的には、少なくとも2つ以上のサブシステムに読み出し／書き込み(READ/WRITE)要求を同時に送り、引き続いて不要な要求を取り消すためのシステム並びに方法に関する。

2. 関連技術

典型的なコンピュータ・ベースのマイクロプロセッサ・システムは、3大サブシステムから成り立っている。それらは、即ち、1個の主記憶、少なくとも1個以上の内部処理ユニット(IPU)、そして1つの入出力(I/O)サブシ

ステムである。従来のマイクロプロセッサ・ベースのシステムの中には、性能を上げるためにパイプライン方式として知られる方法を使うものがある。パイプライン処理では、命令実行の様々なステップ(例えば、フェッチ、デコード、及び実行)はパイpline・ステージと呼ばれる独立した単位によって実行される。そのステップは、プロセッサが一度に少なくとも2つ以上の命令を処理できるように、様々なステージで並列で実行される。

パイplineのスループットは、どの位の頻度で1つの命令がパイplineから出る(exit)かによって決定される。パイpline・ステージは相互につながっているから、全てのステージが同時に進行するように準備されていなければならない。しかしながら、現実には、フェッチ、デコード、実行のステージの中には他に比べて時間が掛かるものもある。そのため、其の並列性が実行されているとは言えない。1サイクル時間に割り当てられる最短時間は最長ステップを実行するのに掛かる時間である。或いは、そのステップを複数のサイクル時間で実行することもできる。いずれの場合でも、システムの効率は最長ステップによって妨げられてしまう。

パイpline方式の詳細については、Hennessy他著の「Computer Architecture a Quantitative Approach」(Morgan Kaufmann出版社、1990)を参照のこと。

ソース・プログラムの動作中、IPUは主記憶もしくはI/O空間のデータにアクセスすることが必要になる。開

して、IPUは、プロセッサのサイクル時間が数十ナノ秒の、マイクロプロセッサ・ベースのシステムで最も遅い要素である。その一方、主記憶やI/Oデバイスのサイクル時間は数百ナノ秒である。従って、マイクロプロセッサの性能を制限する要因の一つはメモリ・アクセスの速度ということになる。

従来のシステムにおいては、命令デコードの初期の段階から、プロセッサはI/Oまたはメモリへのアクセスが起きるかどうかわかっている。しかしながら、命令が残らず最後まで完全にデコードされるまで、アクセス対象が主記憶なのかそれともI/Oなのかシステムは決定できない。従来のシステムでは、読み出し／書き込み状態に遷移するためのコマンドをメモリ制御ユニット(MCU)またはI/O制御ユニット(IOU)に送る前に、OPCODE(演算コード)及びレジスタ・アドレス部分を含む命令全体をデコードする。言い換えば、従来のシステムはこうした処理を逐次に実行し、命令の完全なデコードのステップと、MCUまたはIOUを読み出し／書き込み状態に遷移するステップは「クリティカル・バス」上にある。その結果、従来のシステムは、メモリやI/Oデバイスに実際にアクセスするという時間のかかるステップに入る前に、命令を最後までデコードし終わるのを待って貴重な時間を浪費しているのである。

典型的なクロッキング動作において、システム・クロックにはスレーブ状態として知られる状態がある。

MCUやIOUなどのスレーブ・デバイスが、読み出し／書き込みなどの動作を実行するためにバスへのアクセスが許可されるのは、このスレーブ状態の間だけである。従って、クロックのサイクル時間は、アクセス対象のデバイスが今度のスレーブ・サイクルに間に合うように読み出し／書き込み状態に入れるように、クリティカル・バス上の全ての処理が実行されるのに十分な長さでなければならない。クリティカル・バス上の処理が全てその時間内では実行しきれないようクロックのサイクル時間が短縮されれば、読み出し／書き込み動作は今度のスレーブ・サイクルに間に合わず、その後のスレーブ・サイクルまでさらに1クロック期間待たなければならぬ。従って、必要なのは、アクセス対象の実際のアドレスがデコードされるのを待たずに、OPCODEがデコードされ次第プロセッサが直ちにメモリに対し読み出しされた書き込みの要求を出せるようにするシステム並びに方法である。こうすることによって、読み出し／書き込み要求をクリティカル・バスからパラレル・バスに移すことによってクリティカル・バスの長さが短縮される。この方法で、システムのクロック・レートが速まり、メモリ及びI/Oサブシステムの実効レイテンシが短縮される。

発明の概要

本発明はプロセッサ・ベースのシステムにおけるクリティカル・バスを削除するためのシステム並びに方法を提供するものである。本発明に基づく技法においては、命令の演算コードがデコードされ、その演算コードがシステム・メモリまたはI/Oデバイスにアクセスを命じる動作を呼び出すと、読み出し・書き込み要求が直ちにプロセッサ・ベースのシステムのメモリ制御ユニットMCUと入出力制御ユニットIOUの両方に送られる。プロセッサが命令の残りの部分をデコードする前にこの読み出し・書き込み要求は送られるため、現在のクロックが終わる前にMCUとIOUがアイドル状態から読み出し・書き込み状態に遷移することが可能になる。

この技法によって、サイクル時間は、プロセッサが現在の命令をデコードするのにかかる合計時間のみに抑えられるようになる。さらに時間を追加することなく現在のクロック・サイクル時間内で、MCU並びにIOUは読み出し・書き込み状態に遷移できる。それは何故ならば、MCUとIOUは既にその状態に入っているからである。

命令が最後まで残らずデコードされ、メモリ・アクセスまたはI/Oアクセス用のアドレスが計算され、さらにMCUまたはIOUの宛先がデコードされたら、取消し処理が起きる。取消し処理では、MCUまたはIOUのいずれかが読み出し・書き込み状態からアイドル状態に戻される。

図面の簡単な説明

本発明については後の特許請求の範囲で具体的に説明されている。今まで述べたさらにそれ以外の本発明の優れた点については、添付の図面と共に以下に記述する説明を参照することによってより理解が深まるであろう。

第1図は本発明に基づくシステム・アーキテクチャ100の概略プロック図である。

第2図はシステムのメモリ・マップである。

第3A図は典型的な命令フォーマットを図解したものである。

第3B図は、2個のレジスタに対する1つの演算の結果を使って1つのアドレスが計算される典型的な命令フォーマットを図解したものである。

第4図はクリティカル・バス上の全ての演算を含む従来のシステムの状態動作の流れを表す図である。

第5図は本発明の技法に基づく例を示す状態図である。

第6図は本発明によるIOUの取消し手続きのためのタイミング図である。

第7図は本発明の技法を示す状態図である。

発明の詳細な説明

図1

第1図は本発明が適用できるアーキテクチャを代表する、マイクロプロセッサのアーキテクチャ100の高レベル図を示したものである。第1図において、本発明の好適な実施例に基づいて、100と指定されたマイクロプロセッサ・システムのアーキテクチャが掲示されている。システム・アーキテクチャ100は、内部プロセッサ・ユニット(IPU)105、メモリ制御ユニット(MCU)120、I/O制御ユニット(IOU)130、主記憶150、及び外部I/Oデバイス160から成る。

主記憶150は、好適な実施例においては、32ビット幅のメモリ・バス140によってMCU120に接続されている。同様に、I/Oデバイス160は、好適な実施例においては、32ビット幅の外部I/Oバス135によってIOU130に接続されている。

MCU120はIPU105と主記憶150間の読み出し書き込み動作を制御する回路である。本発明に基づく好適な実施例におけるMCU120は、スイッチ・ネットワーク121及びポート122とから成っている。本明細書に記載の例においてはポート122は1個だけしか示されていないが、本発明に基づく好適な実施例は複数のポート122を備えている。

はまた、IPU105とポート132の要求を調整する手段としても使用される。ポート132(単数または複数)は、I/Oデバイス160にデータを送り、且つそこからデータを受け取る役目を果たす。

第2図はシステム・メモリの構成を示したものである。好適な実施例において、メモリ構成は2領域に分割されている。I/Oバス領域210とメモリ・バス領域220がある。この構成の結果、システムは主記憶150とI/Oデバイス160の両方に対する読み出し書き込み動作を要求することができるようになる。読み出しまだ書き込みの動作を含む命令は各々、システムのメモリ・マップ200上に専用可能なアドレスを含むことになる。

本発明に基づく好適な実施例において、命令処理は3ステージのバイオペレーションに分割されている。その3ステージとは、フェッチ、デコード、並びに実行である。最初、命令はIPU105によってメモリからフェッチされる。その後に、命令は指示された機能(例えば、加算、減算、格納)を確定するためにデコードされる。3番目且つ最後に、そのデコードされた命令はその機能の通りに実行される。

命令をコード化している時、レジスタ数及びアドレス指定モード数は共に命令サイズに大きな影響を及ぼす。これはアドレス指定モードのフィールドとレジスタ・フィールドが1つの命令の中で何度も現われることがあるからである。事実、ほとんどの命令が、演算コードの指定よ

りもアドレス指定モードやレジスタ・フィールドのコード化に余計にビットをとられている。このように、アドレス指定モードとレジスタ・フィールドが命令ビットの大きな割合を占めるため、それらのコード化はいかに簡単に命令のデコードを実現できるかに大きく影響していく。

スイッチ・ネットワーク121はMCU120とIPU105間の通信インターフェースを可能にする。スイッチ・ネットワーク121はまた、ポート122の要求を調整する手段としても使用される。ポート122(単数または複数)は、主記憶150にデータを送り、且つそこからデータを受け取る役目を果たす。

IPU105はIPU105とI/Oデバイス160間の読み出し書き込み動作を制御する回路である。本発明に基づく好適な実施例におけるIPU105は、スイッチ・ネットワーク131及びポート132とから成っている。本明細書に記載の例においてはポート132は1個だけしか示されていないが、本発明に基づく好適な実施例は複数のポート132を備えている。MPUの場合と同様に、IOU130のスイッチ・ネットワーク131はIOU130とIPU105間の通信インターフェースを可能にする。スイッチ・ネットワーク131

りもアドレス指定モードやレジスタ・フィールドのコード化に余計にビットをとられている。このように、アドレス指定モードとレジスタ・フィールドが命令ビットの大きな割合を占めるため、それらのコード化はいかに簡単に命令のデコードを実現できるかに大きく影響していく。

命令は幾つかのセクションに分割されることが多い。第3A図は命令の一例とその構成要素を示すものである。第3A図において、命令300はOPCODE310を含んでいる。OPCODE310は、一旦デコードされれば、どのオペレーションを実行すべきかプロセッサに伝える。オペレーションにはADD(加算)、COMPARE(比較)、CLEAR(クリア)などの算術演算、BRANCH(分岐)やJUMP(飛び越し)などの制御動作、RETURN FROM INTERRUPT(即り込みからの戻り)などのシステム動作、並びにMOVE(移動)やPUSH(プッシュ)などのデータ転送動作などがある。

レジスタやメモリさらにはI/Oデバイスのそれぞれのアドレスは、必要に応じて、プロセッサにどの記憶場所に対してオペレーションを行なうべきか伝えるために、命令の中に包含されている。これらは記憶場所320、330で命令にコード化される。例えば、OPCODE310がADDの演算を行なうようにプロセッサに命令すれば、プロセッサは、加算対象の値を含むアドレスを決定するために、記憶場所320と330を見に行きそこに入っている情報を

デコードする（直接アドレス指定の場合）。

命令300の実際のフォーマットはシステム・アーキテクチャによって異なる。どうすれば本発明に基づく技法が他の命令フォーマットに適用できるかは当業者には明らかになるであろう。

第3B図はもう少し複雑なアーキテクチャ用の命令フォーマットを示したものである。第3A図におけるOPCODE310は、第3A図に示したフォーマットにおいて説明したのと同じオペレーションを行なうように、プロセッサに命令することができる。しかしながら、ここでは、アドレスの剥離が異なる。このフォーマットでは、最初のアドレスは2つのアドレスをデコードし演算することによって計算される。最初のアドレスを計算するために、プロセッサはRindex340とRbase350をデコードする。実際のアドレスを決定するためにこれらの記憶場所における値に対し演算が行なわれる（この場合、合計される）。このタイプのアーキテクチャは多種のプログラミングに有用である。2番目のアドレスを計算する必要がある場合、記憶場所Raddress360における値がデコードされるだけである。

バイブルインの命令デコード部分は幾つかの段階に分解される。命令のそれぞれ異なる部分、即ち、OPCODE310、Rindex340、Rbase350、Raddress360は様々な順序でデコードすることができる。従って、プロセッサは、命令の残りの部分に先行してOPCODE310を

み動作が発生しうる唯一のフェーズであるから、最初のスレーブ・フェーズに間に合わなければ、そのシステムは次のスレーブ・フェーズまで1クロック期間まるまる待たなければならない。従って、これらの処理は全て逐次に実行され、それも高速クロック・レートでは直列の組み合わせ時間はすぐ次に来るスレーブ・フェーズに間に合わない原因となるから、クリティカル・バスが存在しているということになる。或いは、バス上の全てのフェーズが完了するように、システム・クロックのサイクル時間を増やさなければならない。しかしながら、この代替案は、処理を遅くすることになるから、望ましい問題解決法とは言えない。

第4図は従来のシステムに関する上記のロード／格納のシナリオに基づくタイミング図並びに状態図を示すものである。下記の動作時間は例として記載するものである。勿論、他のマシンでは命令処理との関連で演算時間は異なってくる。第4図において、第1クロック期間T0T1で、ロード／格納命令がフェッタされる。第2クロック期間T2/T3で、命令がデコードされる。即ちOPCODE310がデコードされ、その後Raddress360、Rindex340、さらにRbase350がデコードされる。Rindex340及びRbase350はT3のクロック・フェーズでデコードされる。この処理はおよそ8ナノ秒かかり、ブロック410で示されている。この処理が完了すると、アドレス計算が行われる。この計算に要する時間はプロフ

先にデコードすることができる。一旦命令のOPCODE310部分がデコードされれば、プロセッサは命令がどんな動作を命じてくるかわかる。

従って、例えば、命令は加算または比較であるとデコードされたOPCODE310がIPU105に伝えれば、プロセッサは演算対象の値に他の記憶場所からアクセスしなければならないことを知る。第1図と第3B図において、従来のシステム用の典型的なシナリオについて説明している。命令はフェッタされ、OPCODE310がデコードされる。OPCODE310がプロセッサにロード／格納動作を実行するように命令すれば、IPU105は格納対象の値のある記憶場所を確定するためにRaddress360をデコードする。IPU105は次にRindex340とRbase350をデコードする。一旦デコードされれば、Rindex340とRbase350はデータの最終アドレスを計算するために加算器に送られる。その次に、この最終アドレスはデコードされるためMCU120またはIOU130に送られる。デコードされたら、MCU120またはIOU130のいずれか読み出し／書き込みを実行すべき方が、読み出し／書き込み状態に遷移される。しかしながら、こうした処理を全て逐次に実行し、しかも今度のスレーブ・クロック・フェーズに間に合うようにそれに対応するユニットを読み出し書き込み状態に遷移させるには、現在のクロック・フェーズ内では時間的に十分とはいかない場合がある。スレーブ・クロック・フェーズはその期間中読み出し書き込

ク420に示すように7ナノ秒である。アドレス計算実行後に、アドレスはMCU120もしくはIOU130によってデコードされなければならない。プロック430で示した、このデコーディングは4から5ナノ秒かかる。従って、命令のデコーディングにかかる時間は合計で20ナノ秒である。

アドレスがプロック430でデコードされた後、MCU120またはIOU130のいずれか対応する制御ユニットは、次のスレーブ状態より前に読み出し／書き込み状態に入らなければならぬ。第4図において、T4、T6、T8などはスレーブ状態、即ち、メモリやI/Oの読み出し／書き込みが起きる唯一の状態である。命令とアドレスのデコーディング動作がその前のT3でクロック時間の20ナノ秒を消費し、且つ我々は今度のスレーブ・フェーズT4で読み出し／書き込みが起きるようにしたいため、クロック・フェーズの時間は20ナノ秒よりも長くなければならない。20ナノ秒を越えてさらに要する時間はMCU120またはIOU130の対応する制御ユニットが読み出し／書き込み状態に遷移するのにかかる時間である。そのフェーズの時間が足りなければ、MCU120またはIOU130はT4のクロック・フェーズに間に合うように読み出し／書き込み状態に入ることができず、クリティカル・バスが存在し、さらにシステムは読み出し／書き込み動作を実行するためにT6のクロック・フェーズになるまで待たなければならない。しかるに、従来のシステムの欠陥は、命令デコード動作及びメモリまたはI/Oデバイ

スの読み出し／書き込み状態への遷移が逐次起こり、且つ高速クロック・レートではクリティカル・バスを形成することである。その結果、クロック・サイクル時間の増加（クロック・レートの低下）を招いたり、その間読み出し／書き込み動作を延期しなければならない「時間の無駄使い」のクロック周間に陥ることになる。この後者の結果は、命令はさらに1クロック・サイクル待たないと、即ち次のパイプラインまで、実行完了しないということである。

発明

本発明では、アドレス・デコード動作に先行してMCU120とIOU130を読み出し／書き込み状態に遷移することによって、このクリティカル・バスの欠陥を削除する。言い換えれば、アイドル状態から読み出し／書き込み状態への遷移のステップがクリティカル・バスから取り除かれるということである。第5図は本発明に基づく動作を因解したタイミング及び状態の図である。第3B並びに5図において、デコードされたOPCODE310がメモリまたはI/Oデバイスに対する読み出し／書き込み動作が起きなければならぬことを示していれば、IPU105の読み出し／書き込み要求S20はOPCODE310のデコード後直ちにMCU120並びにIOU130に並列で送られる。IPU105は他のレジスタがデコードされるまで待つこと

はしない。この方法では、命令の残りの部分がデコードされている間に、MCU120及びIOU130はT3のクロック時間中にアイドル状態S40から脱し、読み出し／書き込み状態に入る。従って、読み出し／書き込み状態に遷移する動作は逐次ではなくなるから、システムはT6のフェーズ発生まで待たされることはなくなる、即ち、クリティカル・バスがなくなる。今や、MCU120及びIOU130は、スレーブのクロック・フェーズT4発生より前に読み出し／書き込み状態S30に入っている。

この概念は、従来のシステムについて先に説明したのと同じタイミングの数字を使って表すことができる。例えば、レジスタのデコーディング、アドレス計算さらにアドレスのデコーディングに要する時間が20ナノ秒以下ならば、速度20ナノ秒のクロックを使うシステムではクリティカル・バスは存在しない。それは何故ならば、IOU130及びMCU120はT4の発生以前に既に読み出し／書き込み状態に入っているからである。

宛先がデコードされ、MCU120とIOU130のどちらが必要なのが分かれれば、IOUの取消し信号S60が生成され、従って不要の制御ユニットをアイドル状態に戻す。

再び第3B並びに5図において、OPCODE310のデコードは、ブロックS10で示すように、T2、T3のクロック期間の初期に発生する。このデコードが完了し次第直ちに、IPUの読み出し／書き込み要求S20がMCU120とIOU130に送られる。要求S20はMCU120を読み出し／

書き込み状態S30Aに、IOU130を読み出し／書き込み状態S30Bにする。読み出し／書き込み状態S30は共にT4のスレーブ・クロック・フェーズ中の商用に間に合うようになりつつある。

読み出し書き込み要求と同時に、命令の残りの部分が、対応するアドレスを確定するためにデコードされる。Rindex340並びにRbase350のデコーディングはブロックS12に示す通りである。アクセス対象のアドレスの計算、即ちRindex340のRbase350への加算はブロックS14で示す通りである。

制御ユニットMCU120またはIOU130の一方が読み出し／書き込み動作を実行し、他方はしない。ブロックS50に示すように、アドレス・デコードが起きるまでどちらがどちらなのか不明である。アドレス・デコードが発生しさえすれば、IOUの取消し信号S60が生成され、従って読み出し／書き込み動作を行っていないユニットを取り消す。このユニットはアイドル状態S40に戻る。

第5図に示した例において、アクセス対象のアドレスは、たまたまメモリ内に存在している。従って、そのアドレスがデコードされると、I/Oデバイスはアクセスされるべきでないことが分かる。次に取消し信号S60が生成され、IOU130はアイドル状態S40Bに戻る。MCU120は読み出し／書き込み状態S30Aのままで、メモリ・アクセスが発生する。

好適な実施例において、MCU120はIPU105によっ

て計算されたアドレスをデコードする。アドレスがデコードされ、アドレスがメモリ150とI/O160のどちらに当てられているかが判明すれば、MCU120は自分の読み出し／書き込み要求を取り消しアイドル状態S40Aに戻るか、もしくは取消し信号をIOU130に送るかのいずれかを行なう。このアドレス・デコードはMCU120またはIOU130のいずれか、或いはその両方によって実行されることがあるということは当業者には明確であろう。

本発明に基づく他のタイミング図は第6図に示す通りである。第6図において、IPU_REQ信号S20はMCU120及びIOU130の双方に送られる。MCU120は認可信号S10Aに応答し、IOU130は認可信号S10Bに応答する。MCU120とIOU130は共に、MCU_STATE620A及びIOU_STATE620Bが示すように、読み出し／書き込み状態にある。一旦アドレスがデコードされれば、MCU120またはIOU130のいずれか不要のユニットを取り消すために、MCU/IOU_CANCEL信号が生成される。第6図はIOU130が不要で、従ってIOU_STATE620Bがアイドル状態に戻るケースを示したものである。

第7図はMCU120とIOU130の状態を示すものである。第7及び2図において、取消し論理ブロックを生成するためには使われる状態マシンが示されている。取消し論理はMCU120にS10U130にもある。T1でIPU105からの読み出し／書き込み要求信号を受信すると、その2つの状態マシンは同時に動作を開始する。要求の宛先（即ち、

現在デコード進行中の命令に示されるメモリ内のアドレス) のアコード後、その動作を取り消すために、MCU120またはIOU130のいずれかが、T₂でスイッチ125もしくはスイッチ135からそれぞれ取消し信号を生成する。要求が取り消されれば、取り消された制御ユニットはアイドル状態に戻る。要求が取り消されなければ、制御ユニットは対応するメモリの記憶場所にアクセスし始める。

取消し信号は命令の第31番目のビットを検査することによってトリガされる。そのビットがゼロであれば要求は主記憶に対するもので、そのビットが1ならその要求はI/Oデバイスに対するものである。第2図に示すように、アドレスが0000_0000と03FF_FFFFの間にあれば、そのアドレスはメモリにアクセスする。しかしながら、アドレスがFF80_FFFFとFFFF_FFFFの間にあれば、I/Oにアクセスする。好適な実施例において、他の領域は全て予約されている。本発明において他に多数のメモリ・マップが使用できるということが当業者には明確であろう。

再び第2図において、好適な実施例で、MCU120がアドレスをデコードすると、そのアドレスが予約領域230の1ヶ所に宛てられているかどうかを判定される。予約領域230の1ヶ所に宛てられていれば、IOU130及びMCU120に対する読み出し／書き込みは共に取り消される。

結論

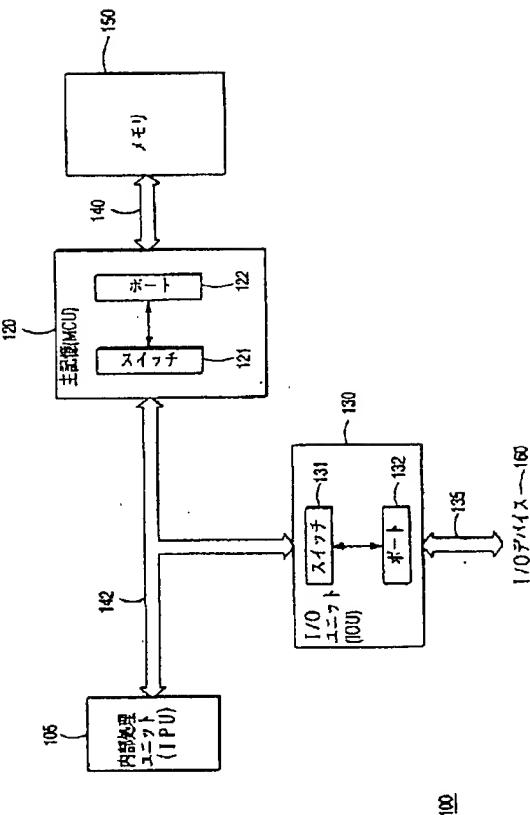
従って、本発明はシステムのクロック・レートを遅めることができる技法を提供するものである。OPCODEがデコードされ、読み出しありも書き込みの動作が呼び出されることを示していれば、直ちに読み出し／書き込み状態に遷移するようにメモリ及びI/Oユニットに命令を送ることによってクロック・レートは遅められ、かくしてクリティカル・バスから状態遷移時間が取り除かれる。

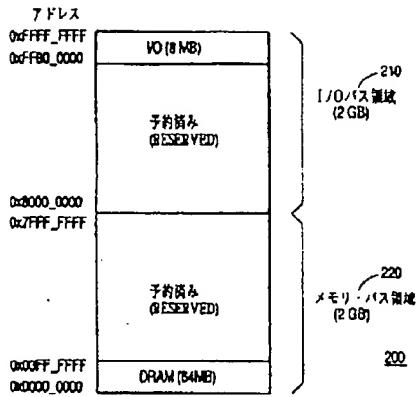
本発明について好適な実施例を挙げて具体的に説明をしてきたが、本発明の精神並びに適用範囲から外れることなく形状及び詳細において様々な変更が可能であることが当業者には理解されることであろう。

例を挙げれば、本発明に基づく技法は本明細書に記載のMCUやIOU以外の資源デバイスを使ってシステムで実行することが可能であり、且つ本発明による技法は多数の資源デバイスを包含するシステムに拡張することができる。

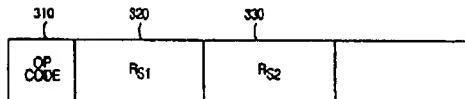
この発明を実行する際には、トレードオフがある。MCU120及びIOU130の片方が読み出し／書き込みモードになるよう要求される時でも、MCU120及びIOU130は共に、読み出し／書き込みモードになる消費電力が増加する。高速クロック・レートにすることによってシステムの性能を上げれば、ほとんどのアプリケーションでこの消費電力の増加は相殺される。

第1図

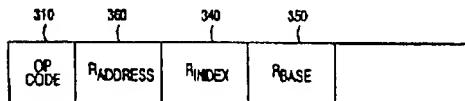




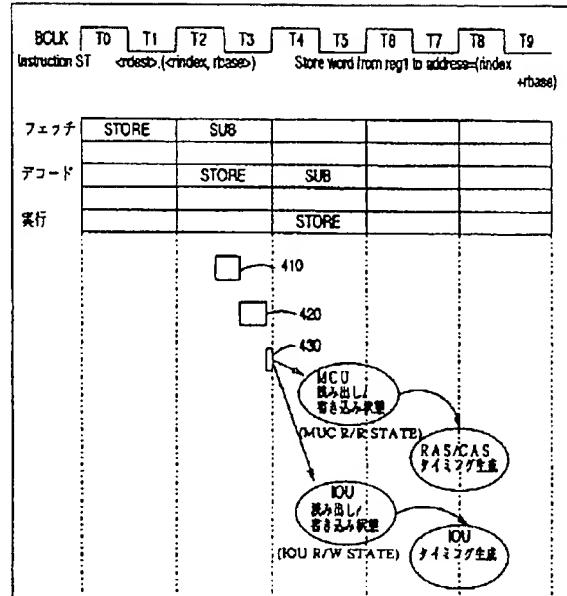
第2図



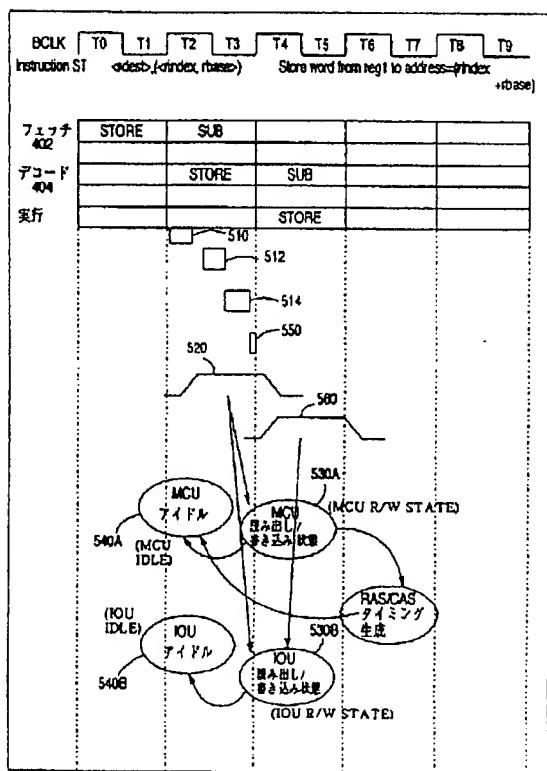
第3A図



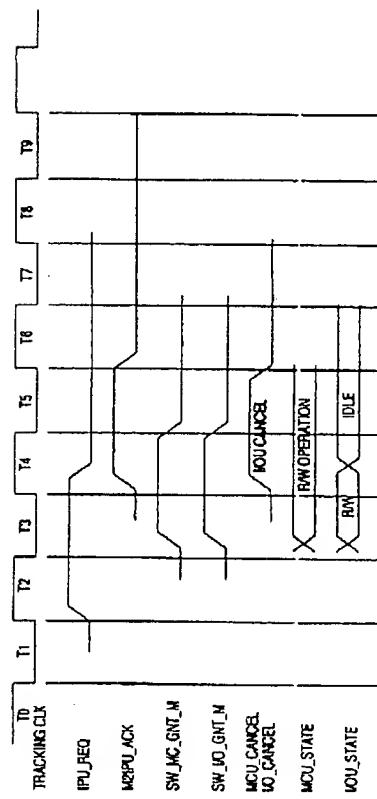
第3B図



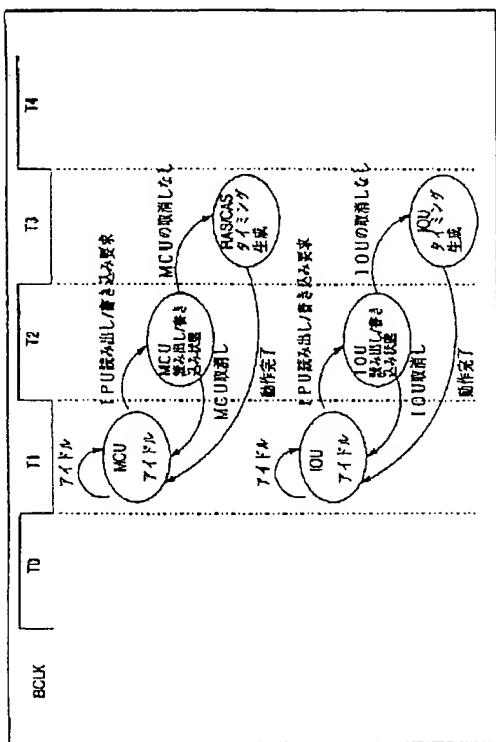
第4図



第5図



第6図



I. CLASSIFICATION OF SUBJECT MATTER		
International Patent Classification IPC or its local Patent Classification and Inv.		
Int.Cl. 5 G06F9/38; G06F13/42		
II. FIELD SEARCHED		
A. International Standard Search		
Classification Search	Classification by title	
Int.Cl. 5	G06F	
B. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category 1: Citations of References, with indication where a copy/piece of the relevant passage is located in the cited document		
X	EP,A,0 184 320 (MEASURED CORP.) 11 June 1986 + abstract; page 7, lines 13-22; page 8, line 8 - page 20, line 16 —	4,6,7
	A COMPUTER DESIGN, vol. 21, no. 1, January 1982, LITTLETON, MASSACHUSETTS US pages 155 - 164 J.P.ALTHEIMER 'Better processor performance via global memory' see the whole document —	1-3,5,8
	A US,A,4 701 841 (GOODRICH ET AL.) 20 October 1987 see the whole document —	1,4,7
		1,4,7,8
<ul style="list-style-type: none"> * Special arrangement of memory resources. — * A process and method for the present state of the self-test is not understood as it is of particular interests. * A process and method for producing a or prior the international filing date — * Method for writing data (information) on program memory or data in other memory devices (such as ROM, EPROM, EEPROM, RAM, etc.) or other media (such as diskettes or other storage media) in accordance with a specified sequence of address or other pointer (such as pointer). * Method for reading data from program memory or data in other memory devices (such as ROM, EPROM, EEPROM, RAM, etc.) or other media (such as diskettes or other storage media) in accordance with a specified sequence of address or other pointer (such as pointer). * Method and apparatus prior to the international filing date but later than 01/05/93 for priority date claimed. 		<ul style="list-style-type: none"> ** New information published after the international filing date or priority date and not to conflicts with the subject matter described in the claims of the patent application. ** Information published on or before the international filing date or priority date and not to conflicts with the subject matter described in the claims of the patent application. ** Information published on or before the international filing date or priority date and not to conflicts with the subject matter described in the claims of the patent application. ** Information published on or before the international filing date or priority date and not to conflicts with the subject matter described in the claims of the patent application. ** Information published on or before the international filing date or priority date and not to conflicts with the subject matter described in the claims of the patent application.
III. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Receipt of the International Search Report	
11 MAY 1993		
International Searching Authority	Examiner or Assessment Officer	
EPO/EUROPEAN PATENT OFFICE	WEINBERG L.F.	

国際特許報告

JP 9300259
SA 70561

This search has been briefly summarized in the patent document cited in the above-mentioned International Search Report.
The numbers are as assigned in the European Patent Office (EPO) file.
The European Patent Office is in no way liable for those numbers which are merely given for the purpose of information. 11/05/93

Patent document cited in search report	Publication date	Patent, utility model or trademark	Publication date
EP-A-0184320	11-06-86	CA-J- 1234426 JP-J- 61165647 US-A- 4757439	21-06-88 28-07-86 12-07-88
US-A-4701841	20-10-87	None	

This search report was issued from the Official Journal of the European Patent Office, No. 12/93